Общие сведения
Параллельные АЦП
Последовательно-параллельные АЦП
Многоступенчатые АЦП
·Многотактные последовательно-параллельные АЦП
·Конвеерные АЦП
Последовательные АЦП
·АЦП последовательного счета
·АЦП последовательного приближения
Интегрирующие АЦП
·АЦП многотактного интегрирования
Автоматическая коррекция нуля.
Преобразование биполярных входных сигналов
·Сигма-дельта АЦП
·Преобразователи напряжение-частота
Системы сбора данных и микроконверторы
Интерфейсы АЦП
·АЦП с параллельным интерфейсом выходных данных
·АЦП с последовательным интерфейсом выходных данных
·Последовательный интерфейс сигма-дельта АЦП
Параметры АЦП
·Статические параметры
·Динамические параметры
·Шумы АЦП

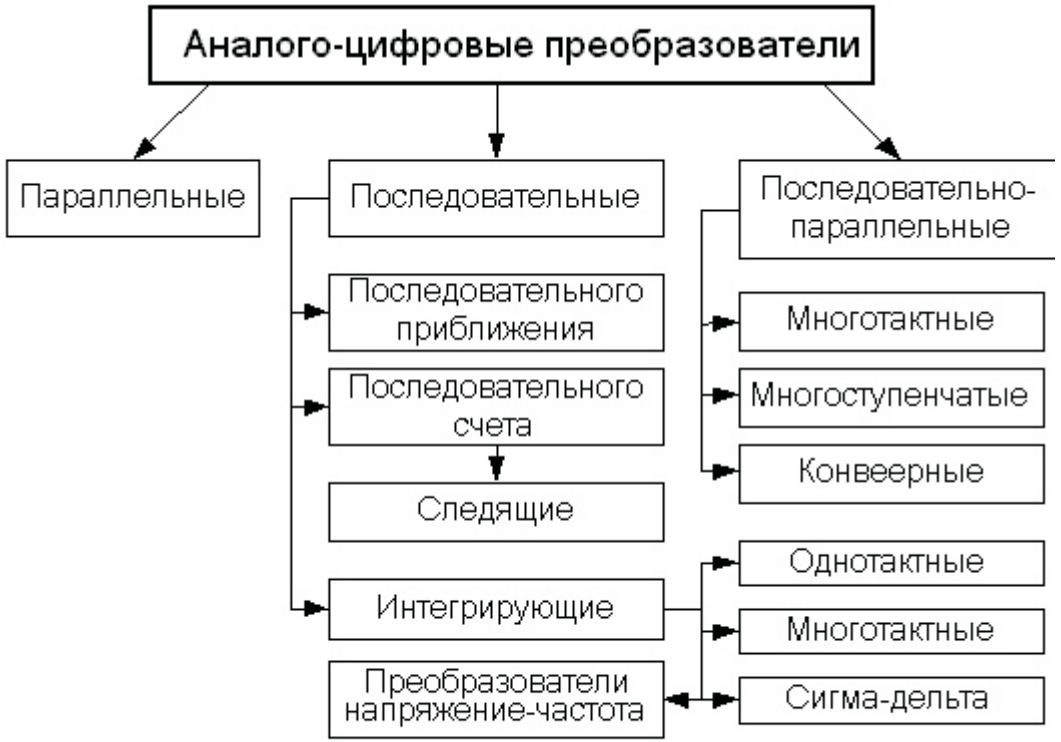
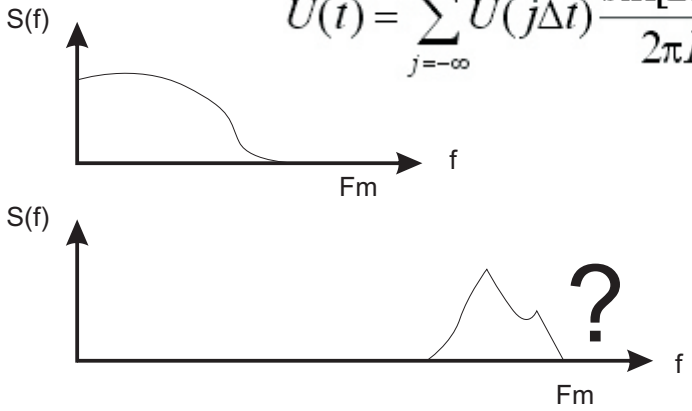


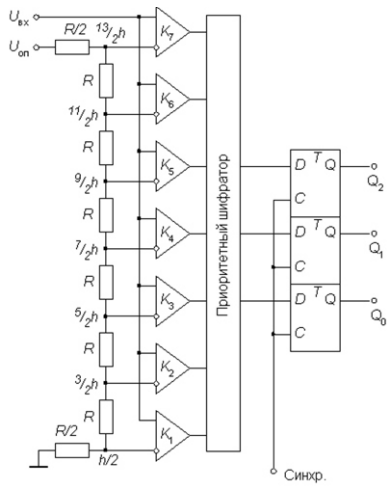
Рис. 2. Классификация АЦП

$U(t) = \sum_j a_j f_j(t)$ a_i - (цифровые) коэффициенты
$f_i(.)$ - набор (заданных) функций

Δt=1/2Fm

$$U(t) = \sum_{j=-\infty}^{\infty} U(j\Delta t)\frac{\sin[2\pi F_m(t - j\Delta t)]}{2\pi F_m(t - j\Delta t)}$$





Параллельный АЦП

При увеличении входного сигнала компараторы устанавливаются в состояние 1 по очереди - снизу вверх. Такая очередность не гарантируется при быстром нарастании входного сигнала, так как из-за различия во временах задержки компараторы могут переключаться в другом порядке. Приоритетное кодирование позволяет избежать ошибки, возможной в этом случае, благодаря тому, что единицы в младших разрядах не принимаются во внимание приоритетным шифратором.
Благодаря одновременной работе компараторов параллельный АЦП является самым быстрым.
Недостатком этой схемы является высокая сложность. Действительно, N-разрядный параллельный АЦП сдержит 2N-1 компараторов и 2N согласованных резисторов. Следствием этого является высокая стоимость (сотни долларов США) и значительная потребляемая мощность.

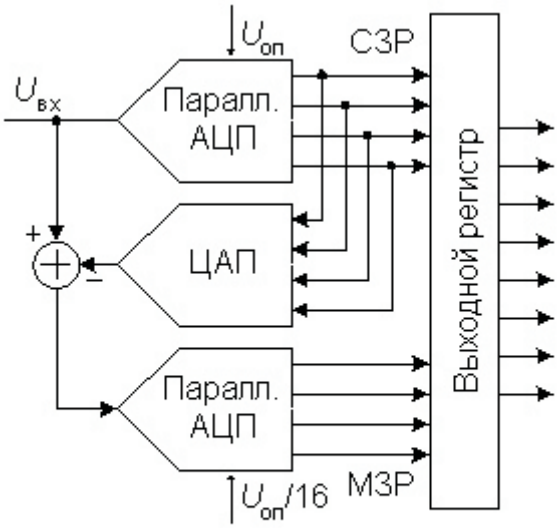


Рис. 4. Структурная схема двухступенчатого АЦП

Верхний по схеме АЦП осуществляет грубое преобразование сигнала в четыре старших разряда выходного кода. Цифровые сигналы с выхода АЦП поступают на выходной регистр и одновременно на вход 4-разрядного быстродействующего ЦАП. Остаток от вычитания выходного напряжения ЦАП из входного напряжения схемы поступает на вход АЦП2, опорное напряжение которого в 16 раз меньше, чем у АЦП1. Как следствие, квант АЦП2 в 16 раз меньше кванта АЦП1. Этот остаток, преобразованный АЦП2 в цифровую форму представляет собой четыре младших разряда выходного кода. Различие между АЦП1 и АЦП2 заключается прежде всего в требовании к точности: у АЦП1 точность должна быть такой же как у 8-разрядного преобразователя, в то время как АЦП2 может иметь точность 4-разрядного.

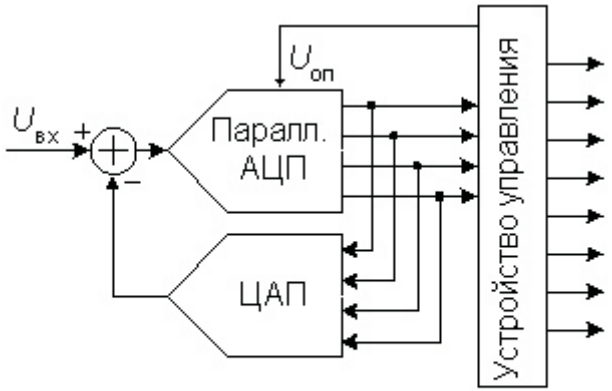


Рис. 5. Структурная схема двухтактного АЦП

Преобразователь состоит из 4-разрядного параллельного АЦП, квант h которого определяется величиной опорного напряжения, 4-разрядного ЦАП и устройства управления. Если максимальный входной сигнал равен 2,56 В, то в первом такте преобразователь работает с шагом квантования h1=0,16 В. В это время входной код ЦАП равен нулю. Устройство управления пересылает полученное от АЦП в первом такте слово в четыре старших разряда выходного регистра, подает это слово на вход ЦАП и уменьшает в 16 раз опорное напряжение АЦП. Таким образом, во втором такте шаг квантования h2=0,01 В и остаток, образовавшийся при вычитании из входного напряжения схемы выходного напряжения ЦАП, будет преобразован в младший полубайт выходного слова.
Очевидно, что используемые в этой схеме 4-разрядные АЦП и ЦАП должны обладать 8-разрядной точностью, в противном случае возможен пропуск кодов,

В обыкновенном многоступенчатом АЦП (рис. 4) вначале происходит формирование старших разрядов выходного слова преобразователем АЦП1, а затем идет период установления выходного сигнала ЦАП. На этом интервале АЦП2 простаивает. На втором этапе во время преобразования остатка преобразователем АЦП2 простаивает АЦП1. Введя элементы задержки аналогового и цифрового сигналов между ступенями преобразователя, получим конвеерный АЦП, схема 8-разрядного варианта которого приведена на рис. 6.

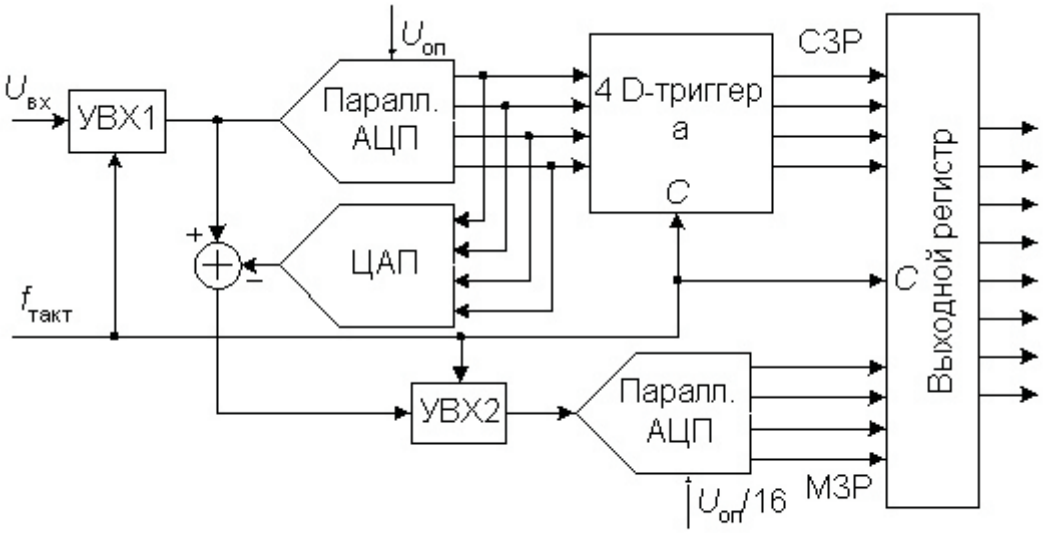


Рис. 6. Структурная схема конвеерного АЦП

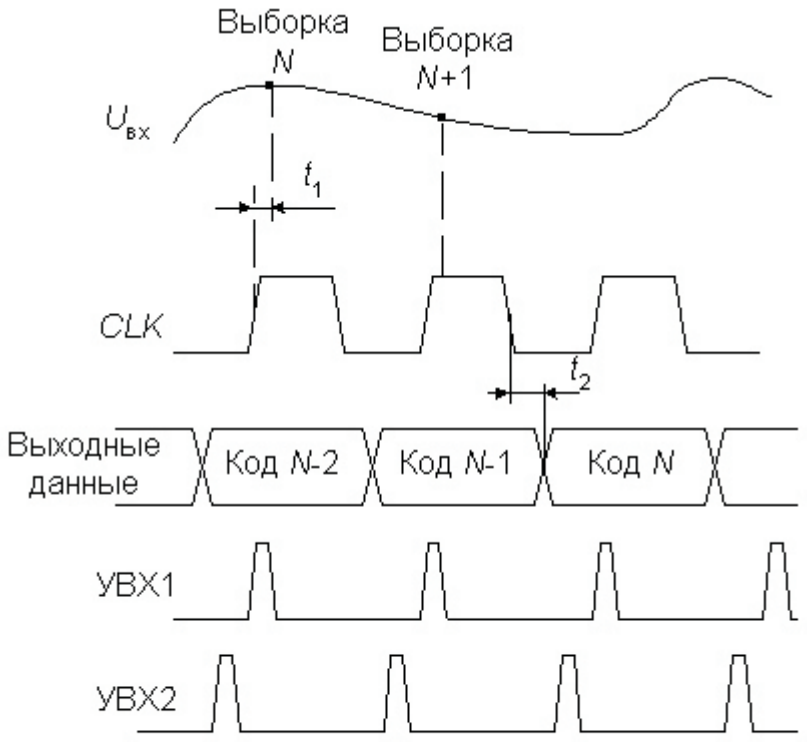


Рис.7. Диаграммы работы конвеерного АЦП

Роль аналогового элемента задержки выполняет устройство выборки-хранения УВХ2, а цифрового - четыре D-триггера. Триггеры задерживают передачу старшего полубайта в выходной регистр на один период тактового сигнала CLK. Сигналы выборки, формируемые из тактового сигнала, поступают на УВХ1 и УВХ2 в разные моменты времени (рис. 7). УВХ2 переводится в режим хранения позже, чем УВХ1 на время, равное суммарной задержке распространения сигнала по АЦП1 и ЦАП. Задний фронт тактового сигнала управляет записью кодов в D-триггеры и выходной регистр. Полная обработка входного сигнала занимает около двух периодов CLK, но частота появления новых значений выходного кода равна частоте тактового сигнала.

Таким образом, конвеерная архитектура позволяет существенно (в несколько раз) повысить максимальную частоту выборок многоступенчатого АЦП. То, что при этом сохраняется суммарная задержка прохождения сигнала, соответствующая обычному многоступенчатому АЦП с равным числом ступеней, не имеет существенного значения, так как время последующей цифровой обработки этих сигналов все равно многократно превосходит эту задержку. За счет этого можно без проигрыша в быстродействии увеличить число ступеней АЦП, понизив разрядность каждой ступени. В свою очередь, увеличение числа ступеней преобразования уменьшает сложность АЦП. Действительно, например, для построения 12-разрядного АЦП из четырех 3-разрядных необходимо 28 компараторов, тогда как его реализация из двух 6-разрядных потребует 126 компараторов. Конвеерную архитектуру имеет большое количество выпускаемых в настоящее время многоступенчатых АЦП.

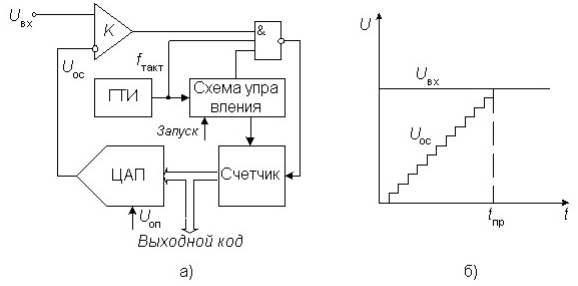


Рис. 8. Структурная схема АЦП последовательного счета

Особенностью АЦП последовательного счета является небольшая частота дискретизации, достигающая нескольких килогерц. Достоинством АЦП данного класса является сравнительная простота построения

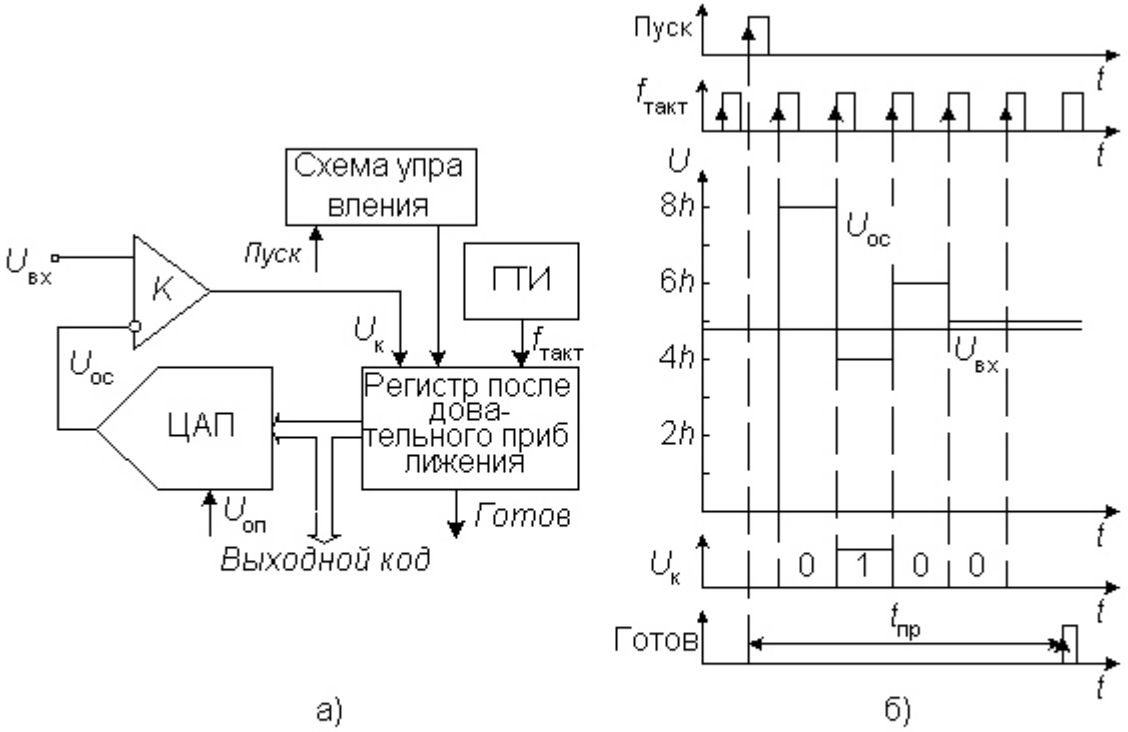


Рис. 9. Структурная схема и временные диаграммы АЦП последовательного приближения

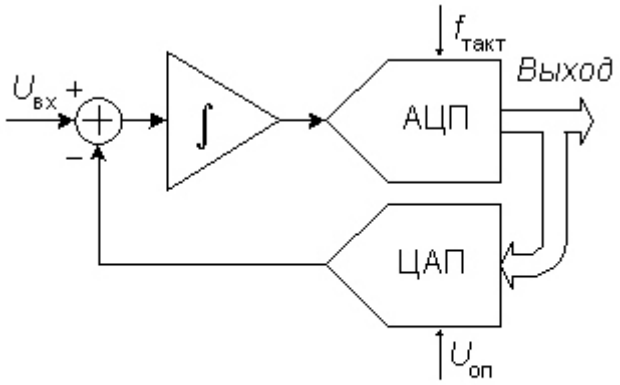


Рис. 14. Структурная схема сигма-дельта модулятора

Основные узлы АЦП - это сигма-дельта модулятор и цифровой фильтр. Схема n-разрядного сигма-дельта модулятора первого порядка приведена на рис. 14. Работа этой схемы основана на вычитании из входного сигнала Uвх(t) величины сигнала на выходе ЦАП, полученной на предыдущем такте работы схемы. Полученная разность интегрируется, а затем преобразуется в код параллельным АЦП невысокой разрядности. Последовательность кодов поступает на цифровой фильтр нижних частот.

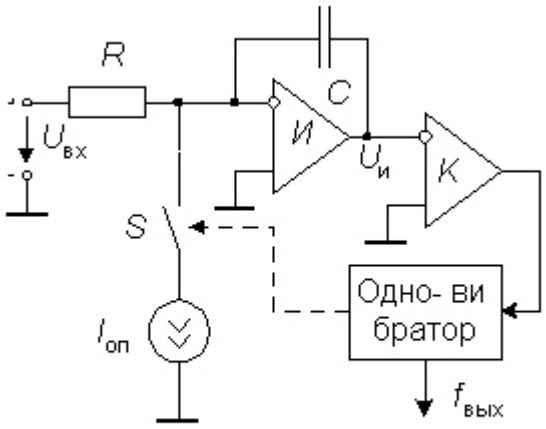


Рис. 17. Структурная схема ПНЧ

Интерфейсы АЦП

Важную часть аналого-цифрового преобразователя составляет цифровой интерфейс, т.е. схемы, обеспечивающие связь АЦП с приемниками цифровых сигналов. Структура цифрового интерфейса определяет способ подключения АЦП к приемнику выходного кода, например, микропроцессору, микроконтроллеру или цифровому процессору сигналов. Свойства цифрового интерфейса непосредственно влияют на уровень верхней границы частоты преобразования АЦП.

Наиболее часто применяют способ связи АЦП с процессором, при котором **АЦП является для процессора как бы одной из ячеек памяти.** При этом АЦП имеет необходимое число адресных входов, дешифратор адреса и подключается непосредственно к адресной шине и шине данных процессора. Для этого он обязательно должен иметь выходные каскады с тремя состояниями.

Другое требование совместной работы АЦП с микропроцессорами, называемое программным сопряжением, является общим для любых систем, в которые входят ЭВМ и АЦП.

Имеется несколько способов программного сопряжения АЦП с процессорами. Рассмотрим основные.

Проверка сигнала преобразования. Этот способ состоит в том, что команда начала преобразования "Пуск" периодически подается на АЦП от таймера. Процессор находится в цикле ожидания от АЦП сигнала окончания преобразования "Готов", после которого выходит из цикла, считывает данные с АЦП и в соответствии с ними приступает либо к следующему преобразованию, либо к выполнению основной программы, а затем вновь входит в цикл ожидания. Здесь АЦП выступает в роли ведущего устройства (master), а процессор - ведомого (slave). Этот способ почти не требует дополнительной аппаратуры, но пригоден только в системах, где процессор не слишком загружен, т.е. длительность обработки данных от АЦП меньше времени преобразования АЦП. Указанный способ позволяет максимально использовать производительность АЦП.

Если длительность обработки данных от АЦП составляет заметно больше времени преобразования АЦП, можно использовать вариант этого способа, отличающийся тем, что сигнал "Пуск" поступает от процессора. Процессор выполняет основную программу обработки данных, а затем считывает данные с АЦП и вновь запускает его. В этом случае процессор выступает в роли ведущего устройства, а АЦП - ведомого.

Простое прерывание. Выдав команду "Пуск", процессор продолжает работу по основной программе. После окончания преобразования формируется сигнал прерывания, который прерывает в процессоре вычисления и включает процедуру поиска периферийного прибора, пославшего сигнал прерывания. Эта процедура состоит в переборе всех периферийных устройств до тех пор, пока не будет найден нужный. Преимущество этого способа по сравнению с предыдущим проявляется в большем числе преобразований за одно и то же время, если используемый АЦП работает медленно. Если же АЦП быстродействующий, то этот способ работы может оказаться даже медленнее предыдущего, так как на обработку прерывания требуется значительное время.

Векторное прерывание. Этот способ отличается от предыдущего тем, что вместе с сигналом прерывания посылается и адрес программы обращения к данному АЦП. Следовательно, не нужно перебирать все периферийные приборы.

Прямой доступ к памяти. Здесь также используется прерывание, но в отличие от предыдущих двух способов, управление по системе прерывания передается на специальный интерфейс, который и производит перезапись данных преобразования в память, минуя регистры процессора. Это позволяет сократить длительность прерывания до одного такта. Номера ячеек памяти хранятся адресном регистре интерфейса. Для этой цели выпускаются ИМС контроллеров прямого доступа к памяти.

статическая точность АЦП определяется только точностью источника опорного напряжения и смещением нуля интегратора и компаратора, которые суммируются с опорным напряжением